

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-70234

(43)公開日 平成10年(1998)3月10日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 25/00

H 01 L 25/00

B

審査請求 有 請求項の数10 OL (全 12 頁)

(21)出願番号 特願平8-225767

(22)出願日 平成8年(1996)8月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐々木 英樹

東京都港区芝五丁目7番1号 日本電気株  
式会社内

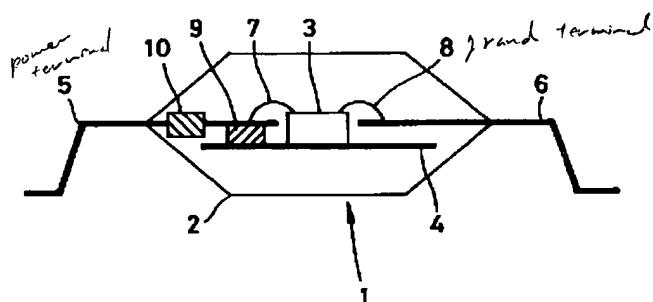
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 ICパッケージ

(57)【要約】

【課題】 従来のICパッケージと同じ外形寸法でありながら、実装するプリント回路基板の電源電圧変動を抑えかつ同じプリント回路基板に実装された他のICパッケージによる電源電圧変動の影響を受けずらくすることでICの誤動作が起きにくいICパッケージの構造を提供する。

【解決手段】 ICチップ3はダイスパッド4上に配置され、ボンディングワイヤ7, 8を用いて電源端子5及びグランド端子6に接続されている。ダイスパッド4は導電性の材料で形成され、ICチップ3のグランドに接続されている。モールド部2はICパッケージ1内の各部品を保護するものである。コンデンサ9は一方の電極がダイスパッド4に接続され、他方の電極が電源端子5に接続されている。高透磁率材料10は電源端子5において、コンデンサ9との接続点から見てICチップ3と反対側の位置に配置されている。



## 【特許請求の範囲】

【請求項1】 集積回路チップと、前記集積回路チップの電源部及びグランド部の間に配置されたコンデンサとを内蔵するICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを有することを特徴とするICパッケージ。

【請求項2】 集積回路チップと、前記集積回路チップの電源部及びグランド部の間に配置されたチップタイプの積層コンデンサとを内蔵するICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを有することを特徴とするICパッケージ。

【請求項3】 集積回路チップと、前記集積回路チップの電源部及びグランド部の間にかつ前記集積回路チップの少なくとも上方及び下方の一方に配置されたコンデンサとを内蔵するICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを有することを特徴とするICパッケージ。

【請求項4】 集積回路チップと、前記集積回路チップの電源部及びグランド部の間にかつ前記集積回路チップの少なくとも上方及び下方の一方に配置されたコンデンサと、前記集積回路チップ及び前記コンデンサを被覆するモールド部材とを含むICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記モールド部材内で前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを有することを特徴とするICパッケージ。

【請求項5】 集積回路チップと、前記集積回路チップの電源部及びグランド部の間にかつ前記集積回路チップの少なくとも上方及び下方の一方に配置されたコンデンサと、前記集積回路チップ及び前記コンデンサを被覆するモールド部材とを含むICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記モールド部材外で前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを有することを特徴とするICパッケージ。

【請求項6】 集積回路チップと、前記集積回路チップの電源部及びグランド部の間にかつ前記集積回路チップの少なくとも上方及び下方の一方に配置されたコンデンサと、前記集積回路チップ及び前記コンデンサを被覆するモールド部材とを含むICパッケージであって、前記

と、前記モールド部材の内部及び外部にまたがる位置で前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを有することを特徴とするICパッケージ。

【請求項7】 前記被覆部材は透磁率を有することを特徴とする請求項1から請求項6のいずれか記載のICパッケージ。

【請求項8】 集積回路チップと、前記集積回路チップの電源部及びグランド部の間にかつ前記集積回路チップの少なくとも上方及び下方の一方に配置されたコンデンサと、前記集積回路チップ及び前記コンデンサを被覆するモールド部材とを含むICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記モールド部材内で分断された前記外部端子を接続しかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とするチップタイプのインダクタ部材とを有することを特徴とするICパッケージ。

【請求項9】 集積回路チップと、前記集積回路チップの電源部及びグランド部の間に配置されたコンデンサとを内蔵するICパッケージであって、前記集積回路チップの電源部に電気的に接続されかつその幅が部分的に細くなつたくびれ部を含む外部端子を有することを特徴とするICパッケージ。

【請求項10】 集積回路チップと、前記集積回路チップの電源部及びグランド部の間に配置されたコンデンサとを内蔵するICパッケージであって、前記集積回路チップの電源部に電気的に接続されかつその一部がコイル状の巻き線となつた外部端子を有することを特徴とするICパッケージ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はICパッケージに関し、特に電源電圧の変動を抑えかつ電源電圧変動の影響を受けづらくするICパッケージの構造に関する。

## 【0002】

【従来の技術】従来、この種のICパッケージにおいては、図19に示すように、ICパッケージ40がモールド部2と、ICチップ3と、外部端子5, 6と、ポンディングワイヤ7, 8と、導体膜13と、ダイスパッド14と、誘電体膜15と、ビアホール16とから構成されている。

【0003】ICチップ3はダイスパッド14上に配置され、ポンディングワイヤ7, 8を用いて外部端子5, 6に接続されている。通常、外部端子には電源用の端子とグランド用の端子と信号用の端子とがあるが、外部端子5は電源用の端子であり、外部端子6はグランド用の端子である。

【0004】導体で形成されたダイスパッド14はIC

4の下にはダイスパッド14と同じ表面積の誘電体膜15が形成され、さらに誘電体膜15の下に導体膜13が形成され、この導体膜13はピアホール16を介してICチップ3の電源に接続することで、ダイスパッド14の下にICチップ3の電源とグランドとを接続するコンデンサ12が形成されている。

【0005】モールド部2はICパッケージ40内のICチップ3と、外部端子5, 6と、ボンディングワイヤ7, 8と、コンデンサ12とを夫々保護するもので、プラスチックで形成されている。

【0006】このICパッケージ40はプリント回路基板(図示せず)に実装して動作させる場合、回路動作に依存して電源端子5とグランド端子6との間の電源電圧が変動する。コンデンサ12はICチップ3の電源端子5とグランド端子6との間に配置されているので、これらの端子間の電源電圧変動を抑えることができる。また、コンデンサ12はICパッケージ40のモールド部2に内蔵されているため、コンデンサ12とICチップ3との間の寄生インダクタンスを小さくすることができる。

【0007】上記のように、コンデンサを内蔵したICパッケージについては、特開昭57-49259号公報や特開平4-155857号公報に開示されている。特に、特開昭57-49259号公報に開示されたICパッケージでは、電源電圧の変動を抑えかつ他のIC(集積回路)の電源電圧変動の影響を受けづらくする目的で用いられている。

【0008】図20は従来のICパッケージの他の例を示す断面図である。ICパッケージ41はモールド部2と、ICチップ3と、ダイスパッド4と、外部端子5, 6と、ボンディングワイヤ7, 8と、コンデンサ9とから構成されている。

【0009】ICチップ3はダイスパッド4上に配置され、ボンディングワイヤ7, 8を用いて電源端子5及びグランド端子6に接続されている。ダイスパッド4は導電性の材料で形成され、ICチップ3のグランドに接続されている。

【0010】モールド部2はICパッケージ41内の部品を保護するものであり、プラスチックやセラミック等の材料で形成されている。コンデンサ9は一方の電極がダイスパッド4に接続され、他方の電極が電源端子5に接続されている。

### 【0011】

【発明が解決しようとする課題】上述した従来のICパッケージでは、コンデンサとICチップとの間のインダクタンスが小さくても電源端子のインダクタンスよりも大きいため、ICチップがそのICパッケージを実装したプリント回路基板の電源層とグランド層との間からも直接、電流を引き込んでしまう。

ランド層との間の電圧が変動するため、このプリント回路基板に実装されているICが誤動作する恐れがある。またこのとき、プリント回路基板の電源層及びグランド層に高周波の電流が流れるため、この電流によりプリント回路基板から不要な電磁波が放射されてしまう。

【0013】さらに、このICパッケージは電源端子のインピーダンスが小さいため、電源層とグランド層との間の電源電圧変動の影響を受けやすく、ICが誤動作する恐れがある。

10 【0014】そこで、本発明の目的は上記の問題点を解消し、従来のICパッケージと同じ外形寸法でありながら、実装するプリント回路基板の電源電圧変動を抑えかつ同じプリント回路基板に実装された他のICパッケージによる電源電圧変動の影響を受けづらくすることでICの誤動作を起きにくくすることができるICパッケージの構造を提供することにある。

【0015】また、本発明の他の目的は、実装するプリント回路基板から不要な電磁波が放射されにくくすることができるICパッケージの構造を提供することにある。

### 【0016】

【課題を解決するための手段】本発明による第1のICパッケージは、集積回路チップと、前記集積回路チップの電源部及びグランド部の間に配置されたコンデンサとを内蔵するICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを備えている。

30 【0017】本発明による第2のICパッケージは、集積回路チップと、前記集積回路チップの電源部及びグランド部の間に配置されたチップタイプの積層コンデンサとを内蔵するICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを備えている。

【0018】本発明による第3のICパッケージは、集積回路チップと、前記集積回路チップの電源部及びグランド部の間にかつ前記集積回路チップの少なくとも上方及び下方の一方に配置されたコンデンサとを内蔵するICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを備えている。

40 【0019】本発明による第4のICパッケージは、集積回路チップと、前記集積回路チップの電源部及びグランド部の間にかつ前記集積回路チップの少なくとも上方

路チップ及び前記コンデンサを被覆するモールド部材とを含むICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記モールド部材内で前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを備えている。

【0020】本発明による第5のICパッケージは、集積回路チップと、前記集積回路チップの電源部及びグランド部の間にかつ前記集積回路チップの少なくとも上方及び下方の一方に配置されたコンデンサと、前記集積回路チップ及び前記コンデンサを被覆するモールド部材とを含むICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記モールド部材外で前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを備えている。

【0021】本発明による第6のICパッケージは、集積回路チップと、前記集積回路チップの電源部及びグランド部の間にかつ前記集積回路チップの少なくとも上方及び下方の一方に配置されたコンデンサと、前記集積回路チップ及び前記コンデンサを被覆するモールド部材とを含むICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記モールド部材の内部及び外部にまたがる位置で前記外部端子に覆設されかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とする被覆部材とを備えている。

【0022】本発明による第7のICパッケージは、集積回路チップと、前記集積回路チップの電源部及びグランド部の間にかつ前記集積回路チップの少なくとも上方及び下方の一方に配置されたコンデンサと、前記集積回路チップ及び前記コンデンサを被覆するモールド部材とを含むICパッケージであって、前記集積回路チップの電源部に電気的に接続される外部端子と、前記モールド部材内で分断された前記外部端子を接続しかつ前記外部端子のインダクタンスを前記コンデンサのインダクタンスよりも大とするチップタイプのインダクタ部材とを備えている。

【0023】本発明による第8のICパッケージは、集積回路チップと、前記集積回路チップの電源部及びグランド部の間に配置されたコンデンサとを内蔵するICパッケージであって、前記集積回路チップの電源部に電気的に接続されかつその幅が部分的に細くなつたくびれ部を含む外部端子を備えている。

【0024】本発明による第9のICパッケージは、集積回路チップと、前記集積回路チップの電源部及びグランド部の間に配置されたコンデンサとを内蔵するICパッケージであって、前記集積回路チップの電源部に電気的に接続されかつその一部がコイル状の巻き線となった

【0025】次に、上記の各手段による作用を図面を参照して説明する。図18はICパッケージをプリント回路基板に実装したときの等価回路を示す図である。図において、ICパッケージ1はICチップ3とコンデンサ9と電源端子5とグランド端子6とで表現される。

【0026】ICチップ3はインピーダンスZとスイッチSとの直列回路であり、コンデンサ9は容量C1と寄生インダクタンスL1との直列回路であり、電源端子5はインダクタンスL2で表現される。基板38は電圧Vの電源で表現される。

【0027】今、ICチップ3のスイッチSがオンになった直後を考える。このとき、ICチップ3はコンデンサ9及び電源端子5と基板38とからなる直列回路から電流Iを引き込む。電源端子5のインダクタンスL2がL1< L2を満足する値ならば、電源端子5のインピーダンスがコンデンサ9のインピーダンスに比べ十分大きくなるため、電流Iは基板38からではなく、ほとんどコンデンサ9から供給される。

【0028】基板38からICチップ3に供給される電流が少ないため、基板38の電源電圧変動は小さくなる。またこのとき、基板38の電源層及びグランド層には電磁波放射の原因となる高周波電流が流れづらくなり、基板38からの電磁波放射を抑えることができる。

【0029】さらに、基板38からIC側を見たインピーダンスZ1が大きいため、ICパッケージ1は基板38に実装されている他のICパッケージ(図示せず)の電源電圧変動の影響を受けづらくなる。

### 【0030】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の第1の実施の形態の構成を表すICパッケージの断面図である。図において、ICパッケージ1はモールド部2と、ICチップ3と、ダイスパッド4と、電源端子5と、グランド端子6と、ボンディングワイヤ7, 8と、コンデンサ9と、高透磁率材料10とから構成されている。

【0031】ICチップ3はダイスパッド4上に配置され、ボンディングワイヤ7, 8を用いて電源端子5及びグランド端子6に接続されている。ダイスパッド4は導電性の材料で形成され、ICチップ3のグランドに接続されている。モールド部2はICパッケージ1内の各部品を保護するものであり、プラスチックやセラミック等の材料で形成されている。コンデンサ9は一方の電極がダイスパッド4に接続され、他方の電極が電源端子5に接続されている。

【0032】図2は図1のICパッケージ1の電源端子5付近の構成を示す斜視図である。高透磁率材料10は電源端子5において、コンデンサ9との接続点から見てICチップ3と反対側の位置のモールド部2内に配置されている。高透磁率材料10は円筒構造をなしており、

率材料10の透磁率及び外形寸法は電源端子5のインダクタンスがコンデンサ9とICチップ3との間のインダクタンスに比べて2桁以上の差がでるような条件で決定される。尚、高透磁率材料10としてはNi-ZnフェライトやCu-Znフェライト、あるいは単にフェライトが用いられる。

【0033】本発明の第1の実施の形態について上記の図18を参照して説明すると、コンデンサ9と高透磁率材料10で覆った電源端子5とによって、ICチップ3に供給される電流のほとんどが、実装する基板38の電源層とグランド層との間からではなく、コンデンサ9から供給されるため、基板38の電源電圧変動を抑える効果を有する。

【0034】また、基板38の電源電圧変動が小さくなるため、基板38の電源層及びグランド層に電磁波放射の原因となりうる高周波電流が流れにくくなるため、電磁波放射が抑えられる。

【0035】さらに、電源端子5を高透磁率材料10で覆うことによって、電源端子5にインダクタンスを持たせることができるために、基板38に実装される他のIC(図示せず)による電源電圧変動の影響をうけづらくすることができる。

【0036】さらにまた、コンデンサ9及び高透磁率材料10で覆った電源端子5をICパッケージ1のモールド部2に内蔵することによって、従来のICパッケージと同じ外形寸法のままで上記の効果が得られるため、実装密度の向上につながる。

【0037】ここで、高透磁率材料10をモールド部2に内蔵した例について述べたが、高透磁率材料10をモールド部2の外、あるいはモールド部2の内外をまたいで配置しても同様の効果が得られるることは明らかである。

【0038】図3は本発明の第2の実施の形態の構成を示すICパッケージの断面図である。図において、本発明の第2の実施の形態のICパッケージ11のICチップ3はダイスパッド14上に配置され、ボンディングワイヤ7、8を介して電源端子5及びグランド端子6に接続されている。電源端子5は円筒状の高透磁率材料10で覆われている。

【0039】導体で形成されたダイスパッド14はICチップ3のグランドに接続されている。ダイスパッド14の下にダイスパッド14と同じ表面積の誘電体膜15を形成し、さらにその下に導体膜13を形成してピアホール16を介してICチップ3の電源に接続することで、ダイスパッド14の下にICチップ3の電源とグランドとを接続するコンデンサ12を形成している。

【0040】本発明の第2の実施の形態では本発明の第1の実施の形態の効果に加えて、コンデンサ12をダイスパッド14の下に配置することで、コンデンサ12の

デンサの作製が可能となる。

【0041】図4は本発明の第3の実施の形態の構成を示すICパッケージの断面図である。図において、本発明の第3の実施の形態のICパッケージ17のICチップ3はダイスパッド4上に配置され、ボンディングワイヤ7、8で電源端子5及びグランド端子6に接続されている。電源端子5は円筒状の高透磁率材料10で覆われている。

【0042】導体で形成されたダイスパッド4はICチップ3のグランドに接続されている。また、ICチップ3上には導体膜19、20が誘電体膜21を挟んで配置され、コンデンサ18を形成している。ICチップ3に近い方の導体膜19及び他方の導体膜20は夫々導体棒23、22を介してグランド端子6及び電源端子5に接続されている。

【0043】本発明の第3の実施の形態では本発明の第2の実施の形態の効果に加えて、コンデンサ18の導体膜19、20をICチップ3上に配置するため、ICチップ3をシールドする効果を有する。

【0044】図5は本発明の第4の実施の形態の構成を示すICパッケージの断面図である。図において、本発明の第4の実施の形態のICパッケージ24のICチップ3はダイスパッド14上に配置され、ボンディングワイヤ7、8で電源端子5及びグランド端子6に接続されている。電源端子5は円筒状の高透磁率材料10で覆われている。

【0045】導体で形成されたダイスパッド14はICチップ3のグランドと接続されている。ダイスパッド14の下にダイスパッド14と同じ表面積の誘電体膜15を形成し、さらにその下に導体膜13を形成してピアホール16を介してICチップ3の電源に接続することで、ダイスパッド14の下にICチップ3の電源とグランドとを接続するコンデンサ12を形成している。

【0046】また、ICチップ3上には導体膜19、20が誘電体膜21を挟んで配置され、コンデンサ18を形成している。ICチップ3に近い方の導体膜19及び他方の導体膜20はそれぞれ導体棒23、22を介してグランド端子6及び電源端子5に接続されている。

【0047】本発明の第4の実施の形態では本発明の第3の実施の形態の効果に加えて、コンデンサ12、18を上下に配置したため、コンデンサの容量をさらに大きくすることができるという効果を有する。

【0048】図6は本発明の第5の実施の形態の構成を示すICパッケージの電源端子付近の構成を示す斜視図である。図において、本発明の第5の実施の形態は上述した本発明の第1～第4の実施の形態の構造とは高透磁率材料10の構造が異なり、他の部分は同じである。

【0049】つまり、本発明の第5の実施の形態では電源端子5上に高透磁率の材料片25を配置する構造とし

ンサ9との接続点よりICチップ3側と反対側の位置に配置している。尚、高透磁率の材料片25としては上記の高透磁率材料10と同様にNi-ZnフェライトやCu-Znフェライト、あるいは単にフェライトが用いられる。

【0050】本発明の第5の実施の形態では本発明の第1～第4の実施の形態の効果に加えて、高透磁率の材料を電源端子5に貫通させる必要がないため、製造作業が簡単になるという効果を有する。

【0051】図7は本発明の第6の実施の形態の構成を表すICパッケージの電源端子付近の構成を示す斜視図である。図において、本発明の第6の実施の形態は上述した本発明の第1～第4の実施の形態の構造とは電源端子5及び高透磁率材料10の構造が異なる。

【0052】つまり、電源端子5は電源端子5上のコンデンサ9との接続点よりICチップ3側と反対側の位置で分断され、それら分断した箇所をチップタイプのインダクタ26で接続している。

【0053】本発明の第6の実施の形態では本発明の第1～第4の実施の形態の効果に加えて、チップタイプのインダクタ26を用いているため、大きなインダクタンスを電源端子5に形成することができるという効果を有する。

【0054】図8は本発明の第7の実施の形態の構成を表すICパッケージの電源端子付近の構成を示す斜視図である。図において、本発明の第7の実施の形態は上述した本発明の第1～第4の実施の形態の構造とは電源端子5及び高透磁率材料10の構造が異なる。

【0055】つまり、電源端子5は電源端子5上のコンデンサ9との接続点よりICチップ3側と反対側の位置で、その幅が部分的に細くなつたくびれ部27を備えている。

【0056】本発明の第7の実施の形態では本発明の第1～第4の実施の形態の効果に加えて、電源端子5にくびれ部27を備えることによって、高透磁率の材料を用いずに電源端子5にインダクタンスを形成することができるという効果を有する。

【0057】図9は本発明の第8の実施の形態の構成を表すICパッケージの電源端子付近の構成を示す斜視図である。図において、本発明の第8の実施の形態は上述した本発明の第1～第4の実施の形態の構造とは電源端子5及び高透磁率材料10の構造が異なる。

【0058】電源端子5は電源端子5上のコンデンサ9との接続点よりICチップ3側と反対側の位置で分断され、それら分断した箇所をコイル状の巻き線28によって接続している。

【0059】本発明の第8の実施の形態では本発明の第1～第4の実施の形態の効果に加えて、電源端子5を分断してそれらの分断箇所を巻き線28で接続することに

インダクタンスを形成することができるという効果を有する。

【0060】図10(a)は本発明の効果を検討するために用いたプリント回路基板の平面図であり、図10(b)は本発明の効果を検討するために用いたプリント回路基板の断面図である。

【0061】これらの図において、プリント回路基板29は上から信号層34、グランド層35、電源層36、信号層37で構成された4層基板で、大きさは縦185mm、横25mm、幅1.6mmである。

【0062】信号層34には20MHzの水晶発振器30と、ICパッケージ31と、長さ約10cmの4本の配線パターン32と、各配線パターン32の終端に設けられた75Ωのチップ抵抗33とが配置されている。また、プリント回路基板29のグランド層35及び電源層36は共にベタパターンの導体で形成されている。

【0063】図11(a)は従来例のICパッケージの電源端子とグランド端子との間の電圧波形とIC出力電圧波形とを示す波形図であり、図11(b)は本発明のICパッケージの電源端子とグランド端子との間の電圧波形とIC出力電圧波形とを示す波形図である。

【0064】また、図12(a)、(b)は従来例のICパッケージの水平偏波の最大値を示す波形図であり、図13(a)、(b)は本発明のICパッケージの水平偏波の最大値を示す波形図であり、図14は従来例のICパッケージの水平偏波の最大値から本発明のICパッケージの水平偏波の最大値を差し引いた結果を示す図である。

【0065】また、図15(a)、(b)は従来例のICパッケージの垂直偏波の最大値を示す波形図であり、図16(a)、(b)は本発明のICパッケージの垂直偏波の最大値を示す波形図であり、図17は従来例のICパッケージの垂直偏波の最大値から本発明のICパッケージの垂直偏波の最大値を差し引いた結果を示す図である。

【0066】これら図10～図17を参照して本発明の実施の形態の効果を実験結果をもとに詳細に説明する。ここで、評価には2種類の回路を用いており、夫々を回路A及び回路Bとする。回路A及び回路Bの構成は夫々図20及び図7に対応している。

【0067】すなわち、回路Aにはモールド部2に容量0.1μF、寄生インダクタンス1nH程度のコンデンサ9を内蔵したICパッケージを用い、コンデンサ9は電源端子5とグランド端子6との間に接続している。また、回路Bにはモールド部2にコンデンサ9を内蔵し、さらに電源端子5を分断してそれらの間をインダクタンス0.1μH程度のチップタイプのインダクタ26で接続したICパッケージを用いている。

【0068】これら回路A及び回路BにおけるICパッ

及びIC出力電圧波形を図11(a), (b)に示す。図11においては実線が電源電圧とグランドとの間の電圧波形を示し、破線がIC出力の電圧波形を示している。

【0069】図11に示す各波形はIC出力がHIGHレベルになる時に電源端子5とグランド端子6との間の電圧が下がり、LOWレベルになる時に電圧が上がる様子を示している。但し、その電圧の振幅は回路Bの方が小さい。

【0070】回路Aは4.82Vから5.13Vまで0.31Vの電圧が振れているのに対し、回路Bでは4.85Vから5.07Vまでの0.22Vしか電圧が振れていない。

【0071】また、回路AではIC出力がHIGHレベルに維持されている間の15nsから45nsまで、65nsから95nsまでの間で電圧が大きく変動しているが、回路Bではこの変動は小さい。以上の結果から、本発明のICパッケージは実装されているプリント回路基板の電源電圧変動を抑えるのに効果的なことがわかる。

【0072】回路A及び回路Bの放射電界は電波暗室内にて、プリント回路基板とアンテナとの間隔を3mとり、プリント回路基板を木製の机の上に立てて配置して机を回転させ、アンテナを1m～4mの高さまで移動しながら測定したものである。放射電界の縦軸はアンテナの出力端電圧である。

【0073】水平偏波は120MHz～300MHzまでの周波数範囲で回路Aの方が5dB程度レベルが高いが、340MHz～460MHz、520MHz～900MHzの範囲では回路Bの方がレベルが高く、最大23dBである(図12～図14参照)。

【0074】垂直偏波は30MHz～600MHzの範囲で両回路のレベルが±10dB程度であるが、600MHz以上の範囲では回路Bの方がレベルが高く、最大22dBである(図15～図17参照)。これらの結果から、本発明によるICパッケージが電磁波放射を抑えるのに有効なことがわかる。

【0075】このように、ICパッケージ1, 11, 17, 24のモールド部2内に容量とインダクタンスとを形成することによって、ICチップ3の動作時の電流がコンデンサ9, 12, 18から供給し易くなるので、ICパッケージ1, 11, 17, 24を実装したプリント回路基板の電源電圧の変動を抑えることができる。

【0076】また、ICパッケージ1, 11, 17, 24のモールド部2内に容量とインダクタンスとを形成することによって、ICチップ3の動作時の電流がプリント回路基板の電源層及びグランド層を流れづらくなるので、ICパッケージ1, 11, 17, 24を実装したプリント回路基板から不要な電磁波が放射されるのを抑え

【0077】さらに、電源端子5に高透磁率材料10やチップタイプのインダクタ26を配置したり、または電源端子5を分断して高透磁率の材料片25や巻き線28で接続したり、あるいは電源端子5にくびれ部27を設けることで電源端子5にインダクタンスをもたせることによって、プリント回路基板に実装されている他のICパッケージの電源電圧変動によるICの誤動作を起きにくくすることができる。

【0078】さらにまた、コンデンサ9, 12, 18やインダクタンスをもった電源端子5をICパッケージ1, 11, 17, 24のモールド部2に内蔵することによって、ICパッケージ1, 11, 17, 24を従来のICパッケージの外形寸法を変えず、かつICパッケージ1, 11, 17, 24以外の部品を必要とせずに、上記の効果を実現することができる。

【0079】一方、ICチップ3上に誘電体膜21を挟んだ導体膜19, 20を配置してコンデンサ18を形成することによって、このコンデンサ18の電極でICチップ3をシールドすることができるので、ICパッケージ17, 24から直接放射される電磁波を抑えることができる。

#### 【0080】

【発明の効果】以上説明したように本発明のICパッケージによれば、集積回路チップと、集積回路チップの電源部及びグランド部の間に配置されたコンデンサとを内蔵するICパッケージにおいて、集積回路チップの電源部に電気的に接続される外部端子のインダクタンスをコンデンサのインダクタンスよりも大とすることによって、従来のICパッケージと同じ外形寸法でありながら、実装するプリント回路基板の電源電圧変動を抑えかつ同じプリント回路基板に実装された他のICパッケージによる電源電圧変動の影響を受けずらくすることでICの誤動作を起きにくくすることができるという効果がある。

【0081】また、本発明の他のICパッケージによれば、集積回路チップと、集積回路チップの電源部及びグランド部の間にかつ集積回路チップの上方に配置されたコンデンサとを内蔵するICパッケージにおいて、集積回路チップの電源部に電気的に接続される外部端子のインダクタンスをコンデンサのインダクタンスよりも大とすることによって、実装するプリント回路基板から不要な電磁波が放射されにくくすることができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成を表すICパッケージの断面図である。

【図2】図1のICパッケージの電源端子付近の構成を示す斜視図である。

【図3】本発明の第2の実施の形態の構成を示すICパ

13

【図4】本発明の第3の実施の形態の構成を示すICパッケージの断面図である。

【図5】本発明の第4の実施の形態の構成を示すICパッケージの断面図である。

【図6】本発明の第5の実施の形態の構成を表すICパッケージの電源端子付近の構成を示す斜視図である。

【図7】本発明の第6の実施の形態の構成を表すICパッケージの電源端子付近の構成を示す斜視図である。

【図8】本発明の第7の実施の形態の構成を表すICパッケージの電源端子付近の構成を示す斜視図である。 10

【図9】本発明の第8の実施の形態の構成を表すICパッケージの電源端子付近の構成を示す斜視図である。

【図10】(a)は本発明の効果の検討に用いたプリント回路基板の平面図、(b)は本発明の効果の検討に用いたプリント回路基板の断面図である。

【図11】(a)は従来例のICパッケージの電源端子とグランド端子との間の電圧波形とIC出力電圧波形とを示す波形図、(b)は本発明のICパッケージの電源端子とグランド端子との間の電圧波形とIC出力電圧波形とを示す波形図である。

【図12】(a), (b)は従来例のICパッケージの水平偏波の最大値を示す波形図である。

【図13】(a), (b)は本発明のICパッケージの水平偏波の最大値を示す波形図である。

【図14】従来例のICパッケージの水平偏波の最大値から本発明のICパッケージの水平偏波の最大値を差し引いた結果を示す図である。

【図15】(a), (b)は従来例のICパッケージの垂直偏波の最大値を示す波形図である。

【図16】(a), (b)は本発明のICパッケージの垂直偏波の最大値を示す波形図である。 30

【図17】従来例のICパッケージの垂直偏波の最大値

14

から本発明のICパッケージの垂直偏波の最大値を差し引いた結果を示す図である。

【図18】本発明の作用を説明する等価回路図である。

【図19】従来のICパッケージの一例を示す断面図である。

【図20】従来のICパッケージの他の例を示す断面図である。

【符号の説明】

1, 11, 17, 24, 31 ICパッケージ

2 モールド部

3 ICチップ

4, 14 ダイスパッド

5 電源端子

6 グランド端子

7, 8 ボンディングワイヤ

9, 12, 18 コンデンサ

10 高透磁率材料

15, 21 誘電体膜

13, 19, 20 導体膜

20 16 ピアホール

22, 23 導体棒

25 高透磁率の材料片

26 チップタイプのインダクタ

27 くびれ部

28 卷き線

29 プリント回路基板

30 水晶発振器

32 配線パターン

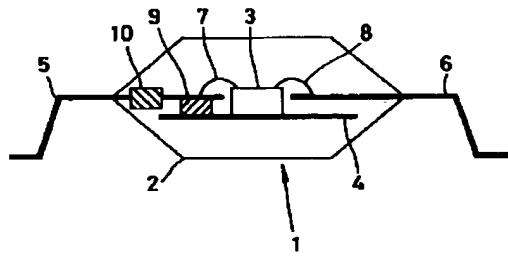
33 チップ抵抗

34, 37 信号層

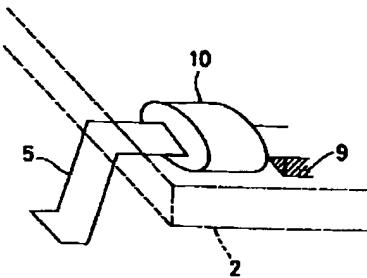
35 グランド層

36 電源層

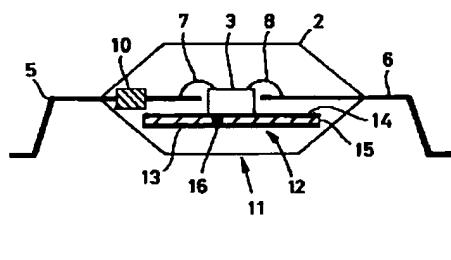
【図1】



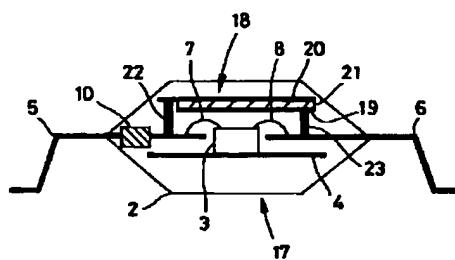
【図2】



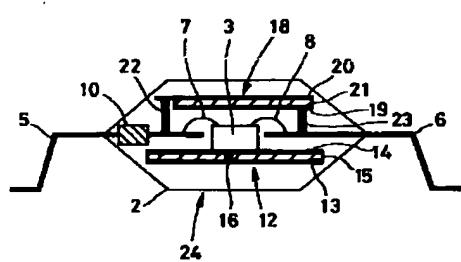
【図3】



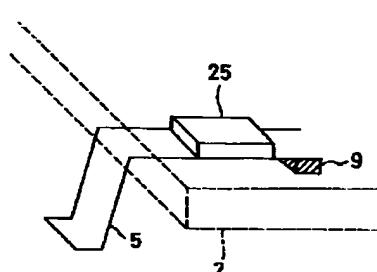
【図4】



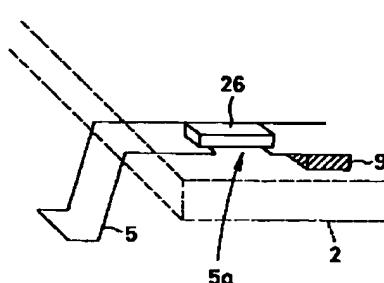
【図5】



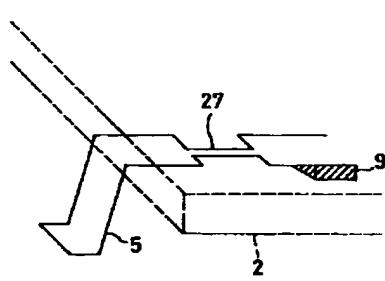
【図6】



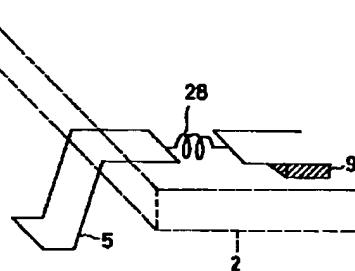
【図7】



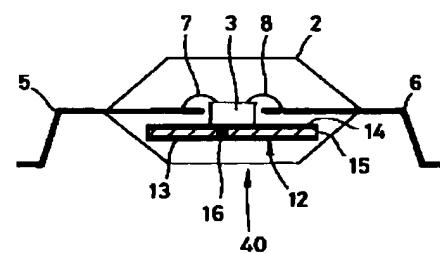
【図8】



【図9】

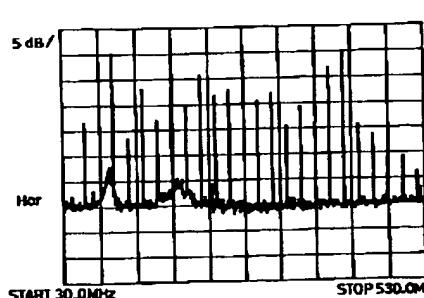


【図19】

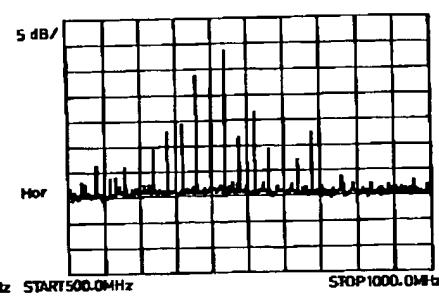


【図12】

(a)

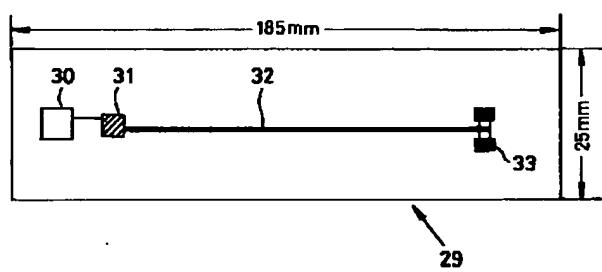


(b)

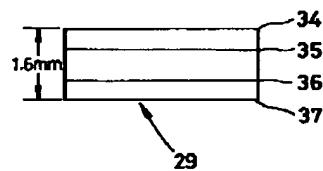


【図10】

(a)

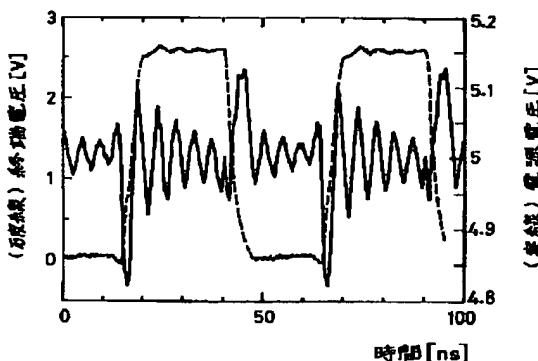


(b)

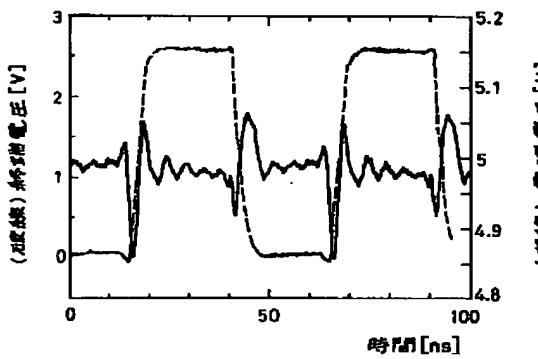


【図11】

(a)

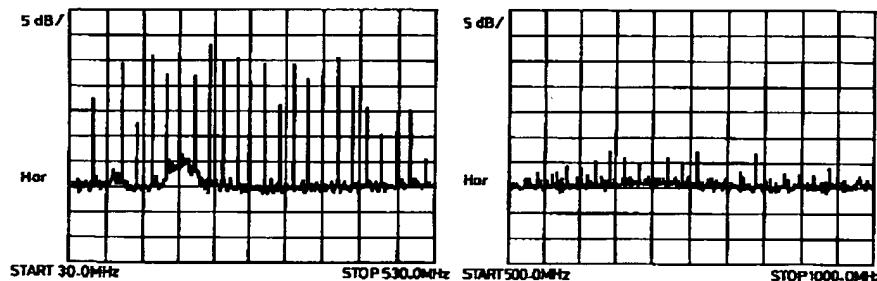


(b)

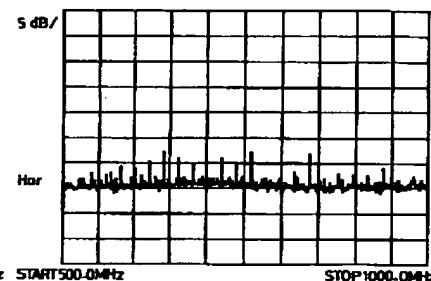


【図13】

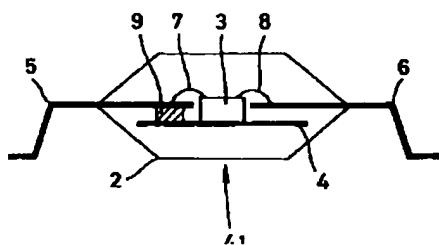
(a)



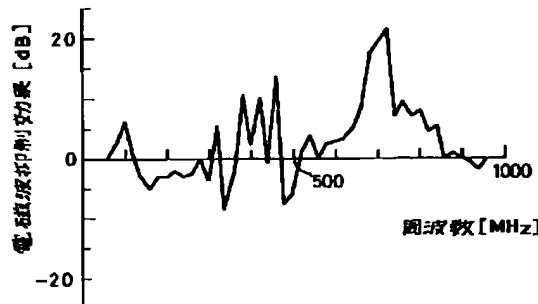
(b)



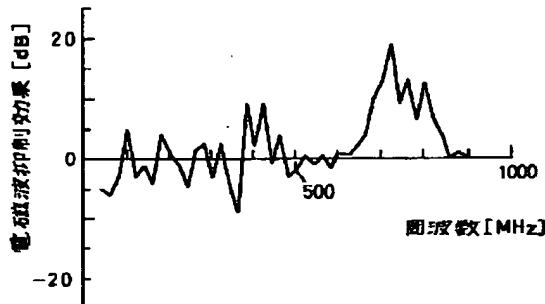
【図20】



【図14】

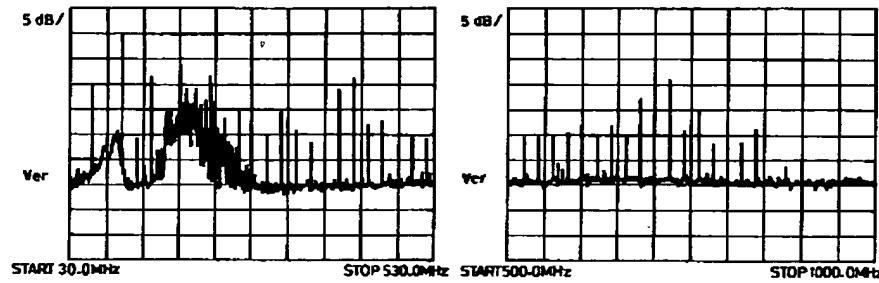


【図17】

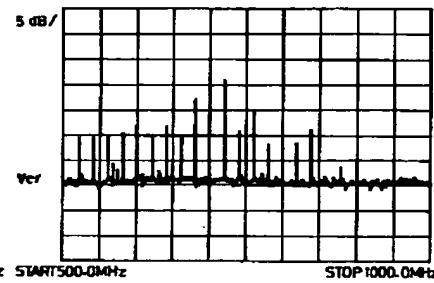


【図15】

(a)

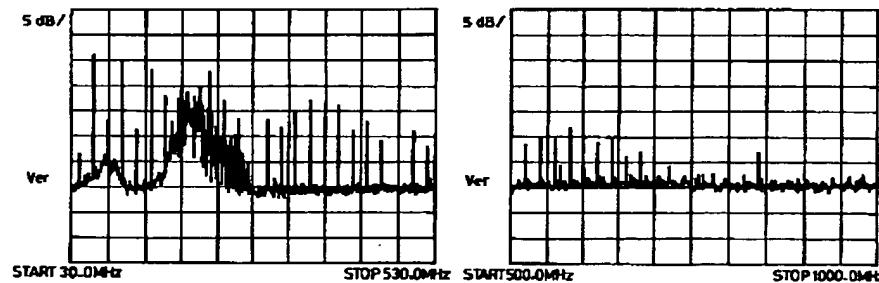


(b)

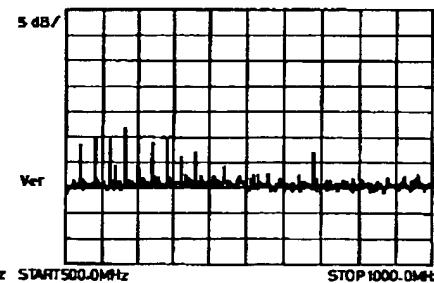


【図16】

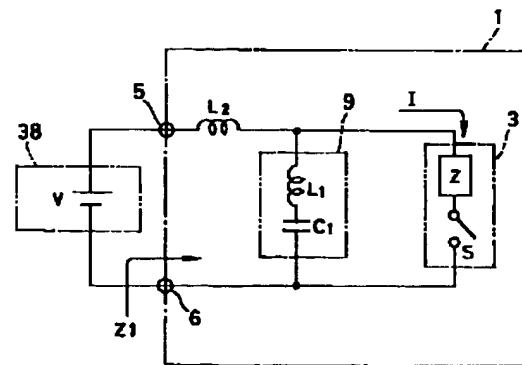
(a)



(b)



【図18】



CLIPPEDIMAGE= JP410070234A  
PAT-NO: JP410070234A  
DOCUMENT-IDENTIFIER: JP 10070234 A  
TITLE: IC PACKAGE

PUBN-DATE: March 10, 1998

INVENTOR-INFORMATION:

NAME  
SASAKI, HIDEKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP08225767

APPL-DATE: August 28, 1996

INT-CL\_(IPC): H01L025/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a structure of IC package having the same external size as an IC of the related art which hardly generates malfunction of IC by controlling a power supply voltage fluctuation of a printed circuit board to be mounted and making it difficult to receive the influence of the power supply voltage fluctuation by the other IC package mounted on the same printed circuit board.

SOLUTION: An IC chip 3 is arranged on a die pad 4 and is connected to the power supply terminal 5 and ground terminal 6 using bonding wires 7, 8. The die pad 4 is formed by a conductive material and is connected to the ground of the IC pad 3. A mold 2 is used to protect each element within this package 1. A capacitor 9 is connected to the die pad 4 at one electrode, while to the power supply terminal 5 at the other electrode. A high permeability material 10 is arranged in the opposite side of the IC chip 3 when it is viewed from the connecting point with the capacitor 9 at the power supply

terminal 5.

COPYRIGHT: (C)1998, JPO

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] About an IC package, especially this invention suppresses change of supply voltage, and relates to the structure of the IC package which is seldom influenced of line voltage variation and carries out it.

[0002]

[Description of the Prior Art] conventionally, this kind of IC package is shown in drawing 19 -- as -- IC package 40 -- the mould section 2, the IC chip 3, the external terminals 5 and 6, bonding wires 7 and 8, and a conductor -- it consists of the film 13, a dice pad 14, a dielectric film 15, and a beer hall 16

[0003] The IC chip 3 is arranged on the dice pad 14, and is connected to the external terminals 5 and 6 using bonding wires 7 and 8. Usually, although there are a terminal for power supplies, a terminal for glands, and a terminal for signals as external terminal, the external terminal 5 is a terminal for power supplies, and the external terminal 6 is a terminal for glands.

[0004] The dice pad 14 formed by the conductor is connected to the gland of the IC chip 3. A film 13 is connecting with the power supply of the IC chip 3 through a beer hall 16. the dielectric film 15 of the same surface area as the dice pad 14 forms in the bottom of the dice pad 14 -- having -- further -- the bottom of a dielectric film 15 -- a conductor -- a film 13 forms -- having -- this conductor -- The capacitor 12 which connects the power supply and gland of the IC chip 3 is formed in the bottom of the dice pad 14.

[0005] The mould section 2 protects the IC chip 3 in IC package 40, the external terminals 5 and 6, bonding wires 7 and 8, and a capacitor 12, respectively, and is formed by plastics.

[0006] When this IC package 40 is mounted in a printed circuit board (not shown) and it makes it operate, depending on circuit operation, the supply voltage between a power terminal 5 and the grand terminal 6 is changed. Since the capacitor 12 is arranged between the power terminal 5 of the IC chip 3, and the grand terminal 6, the line voltage variation between these terminals can be stopped. Moreover, since the capacitor 12 is built in the mould section 2 of IC package 40, it can make small the parasitism inductance between a capacitor 12 and the IC chip 3.

[0007] As mentioned above, it is indicated by JP,57-49259,A and JP,4-155857,A about the IC package which built in the capacitor. Especially in the IC package indicated by JP,57-49259,A, change of supply voltage is suppressed, and it is used in order to be hard to be influenced of the line voltage variation of other ICs (integrated circuit) and to carry out it.

[0008] Drawing 20 is the cross section showing other examples of the conventional IC package. IC package 41 consists of the mould section 2, the IC chip 3, the dice pad 4, external terminals 5 and 6, bonding wires 7 and 8, and a capacitor 9.

[0009] The IC chip 3 is arranged on the dice pad 4, and is connected to the power terminal 5 and the grand terminal 6 using the bonding wires 7 and 8. The dice pad 4 is formed with a conductive material, and is connected to the gland of the IC chip 3.

[0010] The mould section 2 protects the parts in IC package 41, and is formed with material, such as plastics and a ceramic. One electrode is connected to the dice pad 4, and, as for the capacitor 9, the electrode of another side is connected to the power terminal 5.

[0011]

[Problem(s) to be Solved by the Invention] In the conventional IC package mentioned above, even if the inductance between a capacitor and IC chip is small, since it is larger than the inductance of a power terminal, IC chip will draw current directly also from between the power supply layer of the printed circuit board which mounted the IC package, and grand layers.

[0012] Since the voltage between the power supply layer of a printed circuit board and a grand layer is changed at this time, there is a possibility that IC mounted in this printed circuit board may malfunction. Moreover, since the current of a RF flows in the power supply layer and grand layer of a printed circuit board at this time, an unnecessary electromagnetic wave will be emitted from a printed circuit board by this current.

[0013] Furthermore, since this IC package has the small impedance of a power terminal, it tends to be influenced of the line voltage variation between a power supply layer and a grand layer, and has a possibility that IC may malfunction.

[0014] Then, it is in offering the structure of the IC package which it can be made hard to occur the malfunction of IC by influenced and \*\*\*\*(ing) influence of the line voltage variation by other IC packages which the purpose of this invention canceled the above-mentioned trouble, stopped the line voltage variation of the printed circuit board to mount though it was the same dimension as the conventional IC package, and were mounted in the same printed circuit board.

[0015] Moreover, other purposes of this invention are to offer the structure of the IC package which an unnecessary electromagnetic wave can make be hard to emanate from the printed circuit board to mount.

[0016]

[Means for Solving the Problem] The 1st IC package by this invention is an IC package which builds in an integrated circuit chip and the capacitor arranged between the power supply section of the aforementioned integrated circuit chip, and the grand section, and is equipped with the covering member with which the external terminal electrically connected to the power supply section of the aforementioned integrated circuit chip and the aforementioned external terminal are covered and which makes the inductance of the aforementioned external terminal size rather than the inductance of the aforementioned capacitor.

[0017] The 2nd IC package by this invention is an IC package which builds in an integrated circuit chip and the multilayer capacitor of the chip type arranged between the power supply section of the aforementioned integrated circuit chip, and the grand section, and is equipped with the covering member with which the external terminal electrically connected to the power supply section of the aforementioned integrated circuit chip and the aforementioned external terminal are covered and which makes the inductance of the aforementioned external terminal size rather than the inductance of the aforementioned capacitor.

[0018] the 3rd IC package by this invention -- between the power supply section of an integrated circuit chip and the aforementioned integrated circuit chip, and the grand sections -- and it is the IC package which builds in the capacitor of the aforementioned integrated circuit chip arranged at least at either the upper part or the lower part, and it has the covering member with which the external terminal electrically connected to the power supply section of the aforementioned integrated circuit chip and the aforementioned external terminal are covered and which makes the inductance of the aforementioned external terminal size rather than the inductance of the aforementioned capacitor

[0019] The 4th IC package by this invention between the power supply section of an integrated circuit chip and the aforementioned integrated circuit chip, and the grand section And the capacitor of the aforementioned integrated circuit chip arranged at least at either the upper part or the lower part, The external terminal which is an IC package containing the mould member which covers the aforementioned integrated circuit chip and the aforementioned capacitor, and is electrically connected to the power supply section of the aforementioned integrated circuit chip, the aforementioned mould -- a member -- it has the covering member with which the aforementioned external terminal is covered inside and which makes the inductance of the aforementioned external terminal size rather than the inductance of the aforementioned capacitor

[0020] The 5th IC package by this invention between the power supply section of an integrated circuit chip and the aforementioned integrated circuit chip, and the grand section And the capacitor of the aforementioned integrated circuit chip arranged at least at either the upper part or the lower part, The external terminal which is an IC package containing the mould member which covers the aforementioned integrated circuit chip and the aforementioned capacitor, and is electrically connected to the power supply section of the aforementioned integrated circuit chip, the aforementioned mould -- a member -- it has the covering member with which the aforementioned external terminal is covered outside and which makes the inductance of the aforementioned external terminal size rather than the inductance of the aforementioned capacitor

[0021] The 6th IC package by this invention between the power supply section of an integrated circuit chip and the aforementioned integrated circuit chip, and the grand section And the capacitor of the aforementioned integrated circuit chip arranged at least at either the upper part or the lower part, The external terminal which is an IC package containing the mould member which covers the aforementioned integrated circuit chip and the aforementioned capacitor, and is electrically connected to the power supply section of the aforementioned integrated circuit chip, the aforementioned mould -- it has the covering member with which the aforementioned external terminal is covered in the position over the interior and the exterior of a member and which makes the inductance of the aforementioned external terminal size rather than the inductance of the aforementioned capacitor

[0022] The 7th IC package by this invention between the power supply section of an integrated circuit chip and the aforementioned integrated circuit chip, and the grand section And the capacitor of the aforementioned integrated circuit chip arranged at least at either the upper part or the lower part, The external terminal which is an IC package containing the mould member which covers the aforementioned integrated circuit chip and the aforementioned capacitor, and is electrically connected to the power supply section of the aforementioned integrated circuit chip, the aforementioned mould -- a member -- it has the inductor member of the chip type which connects the aforementioned external terminal divided inside, and makes the inductance of the aforementioned external terminal size rather than the inductance of the aforementioned capacitor

[0023] The IC package of the octavus by this invention is an IC package which builds in an integrated circuit chip and the capacitor arranged between the power supply section of the aforementioned integrated circuit chip, and the grand section, and is equipped with the external terminal containing the neck to which it connected with the power supply section of the aforementioned integrated circuit chip electrically, and the width of face became thin partially.

[0024] The 9th IC package by this invention is an IC package which builds in an integrated circuit chip and the capacitor arranged between the power supply section of the aforementioned integrated circuit chip, and the grand section, and is equipped with the external terminal with which it connected with the power supply section of the aforementioned integrated circuit chip electrically, and the part became coil-like winding.

[0025] Next, the operation by each above-mentioned means is explained with reference to a drawing. Drawing 18 is drawing showing the equal circuit when mounting an IC package in a printed circuit board. IC package 1 is expressed by the IC chip 3,

a capacitor 9, a power terminal 5, and the grand terminal 6 in drawing.

[0026] The IC chip 3 is the series circuit of an impedance Z and Switch S, a capacitor 9 is the series circuit of capacity C1 and the parasitism inductance L1, and a power terminal 5 is expressed with an inductance L2. A substrate 38 is expressed with the power supply of voltage V.

[0027] It thinks immediately after turning on the switch S of the IC chip 3 now. At this time, the IC chip 3 draws Current I from the series circuit which consists of a capacitor 9 and a power terminal 5, and a substrate 38. If the inductance L2 of a power terminal 5 is the value with which are satisfied of  $L1 \ll L2$ , since the impedance of a power terminal 5 will become sufficiently large compared with the impedance of a capacitor 9, Current I is almost supplied by the substrate 38 from a capacitor 9.

[0028] Since there is little current supplied to the IC chip 3 from a substrate 38, the line voltage variation of a substrate 38 becomes small. Moreover, at this time, the high frequency current leading to electro magnetic radiation comes to seldom flow in the power supply layer and grand layer of a substrate 38, and the electro magnetic radiation from a substrate 38 can be suppressed.

[0029] Furthermore, since the impedance Z1 which looked at the IC side from the substrate 38 is large, IC package 1 seldom comes to receive the influence of the line voltage variation of other IC packages (not shown) mounted in the substrate 38.

[0030]

[Embodiments of the Invention] Next, the gestalt of operation of this invention is explained in detail with reference to a drawing. Drawing 1 is the cross section showing the composition of the 1st of the gestalt of operation of this invention of an IC package. In drawing, IC package 1 consists of the mould section 2, the IC chip 3, the dice pad 4, a power terminal 5, the grand terminal 6, bonding wires 7 and 8, a capacitor 9, and high permeability materials 10.

[0031] The IC chip 3 is arranged on the dice pad 4, and is connected to the power terminal 5 and the grand terminal 6 using bonding wires 7 and 8. The dice pad 4 is formed with a conductive material, and is connected to the gland of the IC chip 3. The mould section 2 protects each part article in IC package 1, and is formed with material, such as plastics and a ceramic. One electrode is connected to the dice pad 4, and, as for the capacitor 9, the electrode of another side is connected to the power terminal 5.

[0032] Drawing 2 is the perspective diagram showing the composition of power-terminal 5 near [ IC package 1 of drawing 1 ]. In the power terminal 5, high permeability materials 10 are seen from a node with a capacitor 9, and are arranged in the mould section 2 of the position of the IC chip 3 and an opposite side. High permeability materials 10 are making cylinder structure, and have the structure where a power terminal 5 pierces through the cylinder. As for the permeability and dimension of high permeability materials 10, the inductance of a power terminal 5 is determined on conditions out of which the difference of 2 or more figures comes compared with the inductance between a capacitor 9 and the IC chip 3. in addition -- as high permeability materials 10 -- a nickel-Zn ferrite and a Cu-Zn ferrite -- or a ferrite is only used

[0033] If the gestalt of operation of the 1st of this invention is explained with reference to above-mentioned drawing 18 , since most current supplied to the IC chip 3 will be supplied from a capacitor 9 from between the power supply layers of a substrate 38 and grand layers to mount by a capacitor 9 and the power terminal 5 covered by high permeability materials 10, it has the effect of stopping the line voltage variation of a substrate 38.

[0034] Moreover, since the high frequency current which may cause electro magnetic radiation at the power supply layer and grand layer of a substrate 38 since the line voltage variation of a substrate 38 becomes small stops being able to flow easily, electro magnetic radiation is suppressed.

[0035] Furthermore, since an inductance can be given to a power terminal 5 by covering a power terminal 5 by high permeability materials 10, it is hard to receive the influence of the line voltage variation by other ICs (not shown) mounted in a substrate 38, and it can be carried out.

[0036] Since the above-mentioned effect is acquired with the same dimension as the conventional IC package by building the power terminal 5 covered by the capacitor 9 and high permeability materials 10 in the mould section 2 of IC package 1 further again, it leads to improvement in packaging density.

[0037] Although the example which built high permeability materials 10 in the mould section 2 was described here, even if it arranges high permeability materials 10 outside the mould section 2 ranging over the inside and outside of the mould section 2, it is clear that the same effect is acquired.

[0038] Drawing 3 is the cross section of an IC package showing the composition of the 2nd of the gestalt of operation of this invention. In drawing, the IC chip 3 of the 2nd of IC package 11 of the gestalt of operation of this invention is arranged on the dice pad 14, and is connected to the power terminal 5 and the grand terminal 6 through bonding wires 7 and 8. The power terminal 5 is covered by the cylinder-like high permeability materials 10.

[0039] The dice pad 14 formed by the conductor is connected to the gland of the IC chip 3. the dielectric film 15 of the surface area same to the bottom of the dice pad 14 as the dice pad 14 -- forming -- further -- the bottom of it -- a conductor -- the capacitor 12 which connects the power supply and gland of the IC chip 3 is formed in the bottom of the dice pad 14 by forming a film 13 and connecting with the power supply of the IC chip 3 through a beer hall 16

[0040] with the gestalt of operation of the 2nd of this invention, since a large electrode area of a capacitor 12 can be taken by arranging a capacitor 12 under the dice pad 14 in addition to the effect of the gestalt of operation of the 1st of this invention, it becomes producible [ a mass capacitor ]

[0041] Drawing 4 is the cross section of an IC package showing the composition of the 3rd of the gestalt of operation of this

invention. In drawing, the IC chip 3 of the 3rd of IC package 17 of the gestalt of operation of this invention is arranged on the dice pad 4, and is connected to the power terminal 5 and the grand terminal 6 by bonding wires 7 and 8. The power terminal 5 is covered by the cylinder-like high permeability materials 10.

[0042] The dice pad 4 formed by the conductor is connected to the gland of the IC chip 3. moreover -- the IC chip 3 top -- a conductor -- films 19 and 20 are arranged on both sides of a dielectric film 21, and form the capacitor 18 the conductor of the direction near the IC chip 3 -- the conductor of a film 19 and another side -- the film 20 is connected to the grand terminal 6 and the power terminal 5 through conducting bars 23 and 22, respectively

[0043] the effect of the gestalt of operation of the 2nd of this invention with the gestalt of operation of the 3rd of this invention -- in addition, the conductor of a capacitor 18 -- in order to arrange films 19 and 20 on the IC chip 3, it has the effect which shields the IC chip 3

[0044] Drawing 5 is the cross section of an IC package showing the composition of the 4th of the gestalt of operation of this invention. In drawing, the IC chip 3 of the 4th of IC package 24 of the gestalt of operation of this invention is arranged on the dice pad 14, and is connected to the power terminal 5 and the grand terminal 6 by bonding wires 7 and 8. The power terminal 5 is covered by the cylinder-like high permeability materials 10.

[0045] The dice pad 14 formed by the conductor is connected with the gland of the IC chip 3. the dielectric film 15 of the surface area same to the bottom of the dice pad 14 as the dice pad 14 -- forming -- further -- the bottom of it -- a conductor -- the capacitor 12 which connects the power supply and gland of the IC chip 3 is formed in the bottom of the dice pad 14 by forming a film 13 and connecting with the power supply of the IC chip 3 through a beer hall 16

[0046] moreover -- the IC chip 3 top -- a conductor -- films 19 and 20 are arranged on both sides of a dielectric film 21, and form the capacitor 18 the conductor of the direction near the IC chip 3 -- the conductor of a film 19 and another side -- the film 20 is connected to the grand terminal 6 and the power terminal 5 through conducting bars 23 and 22, respectively

[0047] With the gestalt of operation of the 4th of this invention, since capacitors 12 and 18 have been arranged up and down in addition to the effect of the gestalt of operation of the 3rd of this invention, it has the effect that capacity of a capacitor can be enlarged further.

[0048] Drawing 6 is the perspective diagram showing the composition near the power terminal of the IC package showing the composition of the 5th of the gestalt of operation of this invention. Unlike the structure of the gestalt of the 1st - the 4th operation of this invention which mentioned above the gestalt of operation of the 5th of this invention, in drawing, other portions have the the same structure of high permeability materials 10.

[0049] That is, with the gestalt of operation of the 5th of this invention, it is considering as the structure which arranges the piece 25 of material of high permeability on a power terminal 5. The piece 25 of material of high permeability is arranged in the position of an opposite side the IC chip 3 side from the node with the capacitor 9 on a power terminal 5. in addition, the above-mentioned high permeability materials 10 as a piece 25 of material of high permeability -- the same -- a nickel-Zn ferrite and a Cu-Zn ferrite -- or a ferrite is only used

[0050] with the gestalt of operation of the 5th of this invention, in order not to make a power terminal 5 penetrate the material of high permeability in addition to the effect of the gestalt of the 1st - the 4th operation of this invention, it has the effect that fabrication operation becomes easy

[0051] Drawing 7 is the perspective diagram showing the composition near the power terminal of the IC package showing the composition of the 6th of the gestalt of operation of this invention. In drawing, the structure of a power terminal 5 and high permeability materials 10 differs from the structure of the gestalt of the 1st - the 4th operation of this invention which mentioned above the gestalt of operation of the 6th of this invention.

[0052] That is, the power terminal 5 was divided the IC chip 3 side from the node with the capacitor 9 on a power terminal 5 in the position of an opposite side, and has connected the they-divided part by the chip type inductor 26.

[0053] With the gestalt of operation of the 6th of this invention, since the chip type inductor 26 is used in addition to the effect of the gestalt of the 1st - the 4th operation of this invention, it has the effect that a big inductance can be formed in a power terminal 5.

[0054] Drawing 8 is the perspective diagram showing the composition near the power terminal of the IC package showing the composition of the 7th of the gestalt of operation of this invention. In drawing, the structure of a power terminal 5 and high permeability materials 10 differs from the structure of the gestalt of the 1st - the 4th operation of this invention which mentioned above the gestalt of operation of the 7th of this invention.

[0055] That is, the power terminal 5 is equipped with the neck 27 to which it is the position of the IC chip 3 side and an opposite side, and the width of face became thin partially from the node with the capacitor 9 on a power terminal 5.

[0056] in addition to the effect of the gestalt of the 1st - the 4th operation of this invention, with the gestalt of operation of the 7th of this invention, it has the effect that an inductance can be formed in a power terminal 5, without using the material of high permeability, by equipping a power terminal 5 with a neck 27

[0057] Drawing 9 is the perspective diagram showing the composition near the power terminal of the IC package showing the composition of the gestalt of operation of the octavus of this invention. In drawing, the structure of a power terminal 5 and high permeability materials 10 differs from the structure of the gestalt of the 1st - the 4th operation of this invention which mentioned above the gestalt of operation of the octavus of this invention.

[0058] The power terminal 5 was divided the IC chip 3 side from the node with the capacitor 9 on a power terminal 5 in the position of an opposite side, and has connected the they-divided part by coil-like winding 28.

[0059] with the gestalt of operation of the octavus of this invention, it has the effect that a big inductance can be formed in a power terminal 5, without using the material of high permeability, by in addition to the effect of the gestalt of the 1st - the 4th operation of this invention, dividing a power terminal 5 and connecting those fragmentation parts by winding 28

[0060] it is the plan of a printed circuit board used in order that drawing 10 (a) might examine the effect of this invention, and drawing 10 (b) examines the effect of this invention -- it is the cross section of a printed circuit board used for the sake

[0061] In these drawings, a printed circuit board 29 is a four-layer substrate which consisted of tops by the signal plane 34, the grand layer 35, the power supply layer 36, and the signal plane 37, and a size is 1.6mm in 185mm long, 25mm wide, and width of face.

[0062] The 20MHz crystal oscillator 30, IC package 31, four circuit patterns 32 with a length of about 10cm, and the 75-ohm chip resistor 33 prepared in the termination of each circuit pattern 32 are arranged at the signal plane 34. Moreover, both the grand layers 35 and power supply layers 36 of a printed circuit board 29 are formed by the conductor of \*\* TAPATAN.

[0063] Drawing 11 (a) is the wave form chart showing the voltage waveform and IC output voltage wave between the power terminal of the IC package of the conventional example, and a grand terminal, and drawing 11 (b) is the wave form chart showing the voltage waveform and IC output voltage wave between the power terminal of the IC package of this invention, and a grand terminal.

[0064] Moreover, drawing 12 (a) and (b) are the wave form charts showing the maximum of the horizontally polarized wave of the IC package of the conventional example, drawing 13 (a) and (b) are the wave form charts showing the maximum of the horizontally polarized wave of the IC package of this invention, and drawing 14 is drawing showing the result which deducted the maximum of the horizontally polarized wave of the IC package of this invention from the maximum of the horizontally polarized wave of the IC package of the conventional example.

[0065] Moreover, drawing 15 (a) and (b) are the wave form charts showing the maximum of the vertically polarized wave of the IC package of the conventional example, drawing 16 (a) and (b) are the wave form charts showing the maximum of the vertically polarized wave of the IC package of this invention, and drawing 17 is drawing showing the result which deducted the maximum of the vertically polarized wave of the IC package of this invention from the maximum of the vertically polarized wave of the IC package of the conventional example.

[0066] With reference to these drawing 10 - drawing 17 , the effect of the gestalt of operation of this invention is explained in detail based on an experimental result. Here, two kinds of circuits are used for evaluation, and let each be Circuit A and Circuit B. The composition of Circuit A and Circuit B corresponds to drawing 20 and drawing 7 , respectively.

[0067] That is, the capacitor 9 is connected between a power terminal 5 and the grand terminal 6 using the IC package which built the capacity of 0.1 micro F, and the about [ parasitism inductance 1nH ] capacitor 9 in Circuit A at the mould section 2. Moreover, a capacitor 9 is built in Circuit B at the mould section 2, and the IC package which divided the power terminal 5 further and connected between them by the chip type inductor 26 about inductance 0.1microH is used.

[0068] The voltage waveform and IC output voltage wave between the power terminals 5 of an IC package and the grand terminals 6 in these circuits A and Circuit B are shown in drawing 11 (a) and (b). In drawing 11 , a solid line shows the voltage waveform between supply voltage and a gland, and the dashed line shows the voltage waveform of IC output.

[0069] When IC output is set to HIGH level, the voltage between a power terminal 5 and the grand terminal 6 falls, and each wave shown in drawing 11 shows signs that voltage goes up, when set to LOW level. However, the circuit B of the amplitude of the voltage is smaller.

[0070] As for Circuit A, only in 0.22V from 4.85V to 5.07V, voltage is swaying to the voltage of 0.31V swaying in Circuit B from 4.82V to 5.13V.

[0071] Moreover, although voltage is sharply changed in Circuit A from 65ns before 95ns from 15ns to 45ns while IC output is maintained by HIGH level, this change is small in Circuit B. The above result shows that the IC package of this invention is effective for stopping the line voltage variation of the printed circuit board mounted.

[0072] Within an anechoic chamber, the radiation field of Circuit A and Circuit B takes the interval of a printed circuit board and an antenna 3m, stands and arranges a printed circuit board on a wooden desk, rotates a desk, and it is measured, moving an antenna to 1m-4m height. The vertical axis of a radiation field is the outgoing end voltage of an antenna.

[0073] Although level of a horizontally polarized wave is [ the direction of Circuit A ] high about 5dB at the frequency range to 120MHz-300MHz, in the range of 340MHz - 460MHz and 520MHz - 900MHz, the direction of Circuit B has high level and is a maximum of 23dB (refer to drawing 12 - drawing 14 ).

[0074] In the range of 600MHz or more, the direction of Circuit B has high level and a vertically polarized wave is a maximum of 22dB, although the level of both circuits is about \*\*10dB in the range of 30MHz - 600MHz (refer to drawing 15 - drawing 17 ). These results show that it is effective in the IC package by this invention suppressing electro magnetic radiation.

[0075] Thus, since it becomes easy to supply the current at the time of operation of the IC chip 3 by forming capacity and an inductance in the mould section 2 of IC packages 1, 11, 17, and 24 from capacitors 9, 12, and 18, change of the supply voltage of the printed circuit board which mounted IC packages 1, 11, 17, and 24 can be suppressed.

[0076] Moreover, since the current at the time of operation of the IC chip 3 comes to seldom flow in the power supply layer and grand layer of a printed circuit board by forming capacity and an inductance in the mould section 2 of IC packages 1, 11, 17, and 24, it can stop that an unnecessary electromagnetic wave is emitted from the printed circuit board which mounted IC packages 1, 11, 17, and 24.

[0077] Furthermore, it can be made hard to occur the malfunction of IC by the line voltage variation of other IC packages mounted in the printed circuit board by arranging high permeability materials 10 and the chip type inductor 26 to a power terminal 5, or giving [ \*\*\*\* / connecting by the piece 25 of material and winding 28 of high permeability ] an inductance to a power terminal 5 by dividing a power terminal 5 and forming a neck 27 in a power terminal 5.

[0078] The above-mentioned effect can be realized by building the power terminal 5 with capacitors 9, 12, and 18 or the inductance in the mould section 2 of IC packages 1, 11, 17, and 24 further again, without not changing the dimension of the conventional IC package for IC packages 1, 11, 17, and 24, and needing any parts other than IC packages 1, 11, and 17 and 24.

[0079] the conductor which sandwiched the dielectric film 21 on the IC chip 3 on the other hand -- since the IC chip 3 can be shielded by the electrode of this capacitor 18 by arranging films 19 and 20 and forming a capacitor 18, the electromagnetic wave directly emitted from IC packages 17 and 24 can be suppressed

[0080]

[Effect of the Invention] In the IC package which builds in an integrated circuit chip and the capacitor arranged between the power supply section of an integrated circuit chip, and the grand section according to the IC package of this invention as explained above By making into size the inductance of the external terminal electrically connected to the power supply section of an integrated circuit chip rather than the inductance of a capacitor Though it is the same dimension as the conventional IC package There is an effect of the ability to make it hard to occur the malfunction of IC by influencing and \*\*\*\*(ing) influence of the line voltage variation by other IC packages which stopped the line voltage variation of the printed circuit board to mount, and were mounted in the same printed circuit board.

[0081] moreover -- according to other IC packages of this invention -- between the power supply section of an integrated circuit chip and an integrated circuit chip, and the grand sections -- and in the IC package which builds in the capacitor arranged above an integrated circuit chip, it is effective in the ability of an unnecessary electromagnetic wave to be able to make it be hard to emanate from the printed circuit board to mount by making into size the inductance of the external terminal electrically connected to the power supply section of an integrated circuit chip rather than the inductance of a capacitor

---

[Translation done.]